

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，(正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 25 日
Application Date

申請案號：092109654
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 3 月 23 日
Issue Date

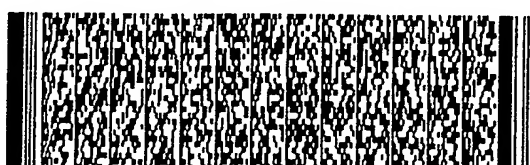
發文字號：09320274150
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	多晶片封裝體
	英 文	MULTI-CHIPS PACKAGE
二、 發明人 (共3人)	姓 名 (中文)	1. 陳裕文 2. 王盟仁 3. 邱己豪
	姓 名 (英文)	1. Chen, Yu-Wen 2. Wang, Meng-Jen 3. Chiu, Chi-Hao
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區河堤路582-1號9樓 2. 屏東市和平路68號 3. 屏東市大連路5巷18號
	住居所 (英 文)	1. 9Fl., No. 582-1, Heti Rd., Sanmin Chiu, Kaohsiung, Taiwan 807, R.O.C. 2. No. 68, Heping Rd., Pingtung City, Pingtung, Taiwan 900, R.O.C. 3. No. 18, Lane 5, Dalian Rd., Pingtung City, Pingtung, Taiwan 900, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司 R.O.C.
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 811高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chang, Jason



四、中文發明摘要 (發明名稱：多晶片封裝體)

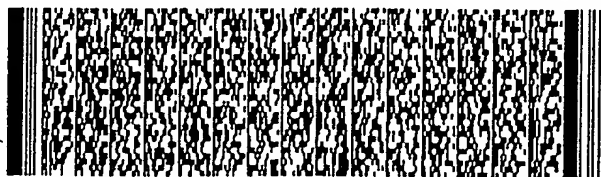
一種多晶片封裝體，至少包含一載板、一第一晶片、一第二晶片、一攔壩、一散熱片、一底膠與複數個導電凸塊。第一晶片係藉複數個導電凸塊覆晶接合於載板之上表面，而第二晶片係容置於載板之開口中，且與第一晶片覆晶接合。再者，該攔壩係設置於載板上且用以支撐該散熱片，而使散熱片能固定設置於該第一晶片之背面。此外，填充底膠於攔壩所包圍之區域中，以使底膠至少包覆第一晶片、第二晶片、複數個導電凸塊及載板之一部分。由於底膠係與散熱片及攔壩相接合，故能藉由散熱片、底膠與攔壩所組合而成之加勁結構，同時限制載板與第一晶片間之熱形變，以避免連接第一晶片與載板之導電凸塊之破壞。

五、(一)、本案代表圖為：圖2

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：MULTI-CHIPS PACKAGE)

A multi-chips package at least comprises a carrier, a first chip, a second chip, a dam, a heat spreader, an underfill and a plurality of conductive bumps. The first chip is flip-chip bonded to the upper surface of the carrier and the second chip is accommodated in the opening to flip-chip bonded to the first chip. Furthermore, the dam is disposed on the carrier and supports the heat

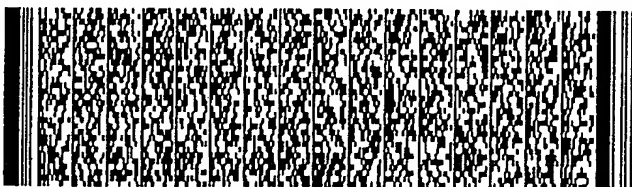


四、中文發明摘要 (發明名稱：多晶片封裝體)

- 210 第一晶片
- 212 第一晶片之主動表面
- 214 第一晶片之背面
- 220 載板
- 222 開口
- 224 載板上表面
- 226 載板下表面
- 228 鉅球
- 230 第二晶片
- 240 攔壩
- 250 散熱片
- 260 底膠
- 270 第一導電凸塊
- 280 第二導電凸塊
- 290 黏著層(導熱膠)

六、英文發明摘要 (發明名稱：MULTI-CHIPS PACKAGE)

spreader so as to fix the heat spreader to the back surface of the first chip. In addition, the underfill is filled into the space which is enclosed by the dam. In such manner, at least the first chip, the second chip, the conductive bumps and a portion of the carrier are covered by the underfill. The underfill is connected to the dam and the heat spreader simultaneously, so the



四、中文發明摘要 (發明名稱：多晶片封裝體)

300 底膠填充空間

六、英文發明摘要 (發明名稱：MULTI-CHIPS PACKAGE)

reinforced structure including the heat spreader, the underfill and the dam can restrain the thermal deformation of the carrier and the first chip so as to prevent the conductive bumps connecting the first chip and the carrier from being damaged.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

(一)、【發明所屬之技術領域】

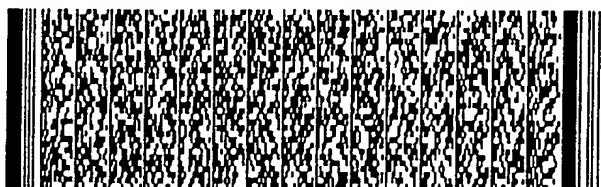
本發明是有關於一種多晶片封裝體，特別是有關於一種能夠防止連接晶片與載板間凸塊破壞之多晶片封裝體。

(二)、【先前技術】

隨著微小化以及高運作速度需求的增加，多晶片封裝體在許多電子裝置越來越吸引人。多晶片封裝體可藉由將兩個或兩個以上之晶片組合在單一封裝體中，來提升系統之運作速度。此外，多晶片封裝體可減少晶片間連接線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片封裝體為並排式(side-by-side)多晶片封裝體，其係將兩個以上之晶片彼此並排地安裝於一共同載板之主要安裝面。晶片與共同載板上導電線路間之連接一般係藉由打線法(wire bonding)達成。然而該並排式多晶片封裝體之缺點為封裝效率太低，因為該共同載板之面積會隨著晶片數目的增加而增加。

因此半導體業界開發出一多晶片封裝體之設計(參照圖1)，其特徵在於提供一第一晶片110覆晶接合於一具有一開口122之載板120上表面124，再將一第二晶片130容置於載板120之開口122中，並與上述之第一晶片110覆晶接合。一般而言，第一晶片110與第二晶片130可分別為記憶晶片及邏輯晶片，如此可將第一晶片110與第二晶片130之訊號於封裝體內先行整合後，再經由載板120下表面126之錫球128與外界電性連接。如此之封裝體設計不僅能減少封



五、發明說明 (2)

裝體之厚度，更可提升晶片之運算及傳輸效能。然而，由於第一晶片110與載板120間係以導電凸塊160電性連接，而載板120之熱膨脹係數(約為 $16 \times 10^{-6} \text{ ppm/}^\circ\text{C}$)遠大於第一晶片110之熱膨脹係數(約為 $4 \times 10^{-6} \text{ ppm/}^\circ\text{C}$)，故封裝體進行相關測試或進行運作時，常因為熱膨脹係數之差異，造成連接第一晶片110與載板120間導電凸塊160之破壞。

有鑑於此，為避免前述多晶片封裝體之缺點，以提升多晶片封裝體中之晶片效能，實為一重要的課題。

(三)、【發明內容】

有鑑於上述課題，本發明之目的係提供一種多晶片封裝體，其係在載板上之晶片週邊之外圍設置一攔壩，並藉由攔壩之支撐而於該晶片背面設置一散熱片。同時，於該攔壩所包圍之區域中填充底膠，以使底膠、散熱片及攔壩所組合而成之加勁結構，能對設置於載板上之晶片與載板間提供一限制熱形變之能力，以避免連接設置於載板上之晶片與載板間之導電凸塊之破壞。

緣是，為了達成上述目的，本發明係提供一種多晶片封裝體，主要包含一載板、一第一晶片、一第二晶片、一攔壩、一散熱片、一底膠與複數個導電凸塊。第一晶片係藉複數個導電凸塊覆晶接合於載板之上表面，而第二晶片係容置於載板之開口中，且與第一晶片覆晶接合。再者，該攔壩係用以支撐該散熱片以使散熱片能固定設置於該第一晶片之背面。此外，填充底膠於攔壩、散熱片、載板上

五、發明說明 (3)

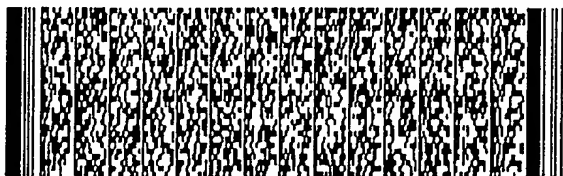
表面及載板開口所定義之填充底膠空間中，以使底膠至少包覆第一晶片、第二晶片、複數個導電凸塊及載板之一部分。由於底膠係與散熱片及攔壩相接合，故能藉由散熱片、底膠與攔壩所形成之加勁結構，而同時限制載板與第一晶片之熱形變，以避免連接第一晶片與載板之導電凸塊之破壞。

綜上所述，本發明之多晶片封裝體主要係利用由散熱片、底膠與攔壩所形成之加勁結構，以提供對載板與第一晶片之熱形變限制之能力，以避免連接第一晶片與載板之導電凸塊之破壞。另外，由於散熱片係設置於第一晶片背面，故亦能提升封裝體之散熱效能。

(四)、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之多晶片封裝體。

圖2係繪示本發明較佳實施例之多晶片封裝體。本發明之多晶片封裝體至少包含一第一晶片210、載板220、一第二晶片230、一攔壩240、一散熱片250、一底膠260與複數個第一導電凸塊270及第二導電凸塊280。其中，第一晶片210係藉複數個第一導電凸塊270覆晶接合於載板220之上表面224，而第二晶片230係容置於載板220之開口222中，且藉由複數個第二導電凸塊280與第一晶片210之主動表面212覆晶接合。同時，利用一黏著層(導熱膠)290將散熱片250同時黏著於第一晶片210之背面214及設置於載板220上表面



五、發明說明 (4)

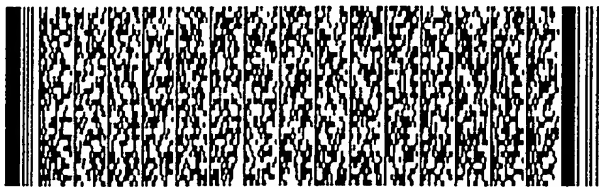
226之攔壩240上。再者，攔壩240、散熱片250、載板上表面224及載板開口222可定義一底膠填充空間300用以填充一底膠260，使至少複數個第一導電凸塊270、第二導電凸塊280被底膠260所包覆之，且使底膠260與散熱片250及攔壩240相接合，故能藉由散熱片250、底膠260與攔壩240所形成加勁結構，同時限制載板220與第一晶片210之熱形變，以進一步避免連接載板220與第一晶片210間之第一導電凸塊270，因載板220與第一晶片210之熱膨脹係數不匹配效應而破壞。此外，該載板220之下表面226可設置有複數個鉚球228，用以與外界電性導通。值得注意的是，該攔壩240可為一膠體，利用點滯之方式形成於載板220上並環繞於第一晶片210之週邊設置，故攔壩240可為一環形攔壩。此外，該攔壩240亦可為複數個條狀攔壩設置於第一晶片210週邊之外圍。再者，上述之底膠亦可以其他之封膠材料替代之，如環氧膠。

承上所述，當第一晶片210之厚度較大或其尺寸較大時，散熱片250可選擇其熱膨脹係數較接近載板220熱膨脹係數之材質。反之，當第一晶片210之厚度較薄或尺寸較小時，散熱片250可選擇其熱膨脹係數較接近晶片熱膨脹係數之材質。故散熱片250之熱膨脹係數係介於晶片之熱膨脹係數與載板220之熱膨脹係數之間。由於散熱片250之熱膨脹係數係介於載板220與晶片之熱膨脹係數之間，且藉由散熱片、底膠及攔壩所組合而成加勁結構，可限制載板220與第一晶片210之熱形變外，以進一步避免連接第一晶片210與

五、發明說明 (5)

載板220之第一導電凸塊270之破壞。值得注意的是，該散熱片250係為一平面板，且該散熱片250之材質可包含一銅金屬或一鋁金屬，故散熱片除可配合底膠與攔壩組合成加勁結構外，更可藉其有較大之導熱面積及導熱能力以提升封裝體之散熱效能。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



圖式簡單說明

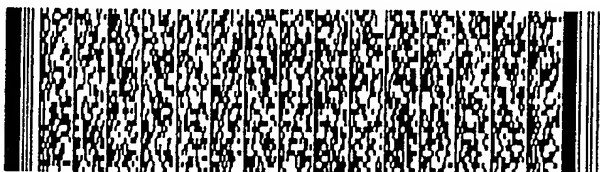
(五)、【圖式簡單說明】

圖1為一示意圖，顯示習知一種多晶片封裝體的剖面示意圖。

圖2為一示意圖，顯示本發明較佳實施例之多晶片封裝體之剖面示意圖。

元件符號說明：

110、210	第一晶片
120、220	載板
122、222	開口
124、224	載板上表面
126、226	載板下表面
128、228	鐳球
130、230	第二晶片
212	第一晶片之主動表面
214	第一晶片之背面
240	攔壩
250	散熱片
260	底膠
270	第一導電凸塊
280	第二導電凸塊
290	黏著層(導熱膠)
300	底膠填充空間

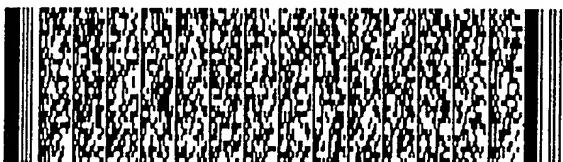




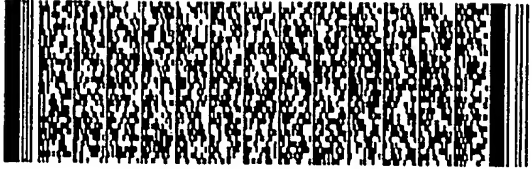
六、申請專利範圍

1. 一種多晶片封裝體，包含：
 - 一載板，具有一上表面、一下表面及一開口；
 - 一第一晶片，具有一主動表面、一背面，其中該第一晶片係藉複數個第一導電凸塊與該載板之該上表面覆晶接合，且該第一晶片係覆蓋該開口；
 - 一第二晶片，其中該第二晶片係藉複數個第二導電凸塊與該第一晶片之該主動表面覆晶接合；
 - 一攔壩，該攔壩係設置於該載板上表面；以及
 - 一散熱片，該散熱片係設置於該第一晶片之該背面且與該攔壩相接合。
2. 如申請專利範圍第1項所述之多晶片封裝體，其中該散熱片與該第一晶片間更設置一黏著層。
3. 如申請專利範圍第3項所述之多晶片封裝體，其中該黏著層係為一導熱膠。
4. 如申請專利範圍第1項所述之多晶片封裝體，其中該攔壩、該散熱片、該載板上表面及該載板開口係形成一空間，該空間中係填充一封膠材料。
5. 如申請專利範圍第4項所述之多晶片封裝體，其中該封膠材料係為一底膠。

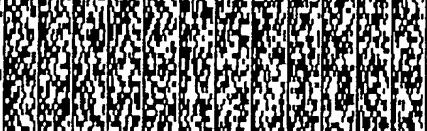


六、申請專利範圍

6. 如申請專利範圍第4項所述之多晶片封裝體，其中該底膠係至少包覆該第一晶片、該第一導電凸塊、該第二導電凸塊、該載板上表面，且與該散熱片及該攔壩相接合。
7. 如申請專利範圍第1項所述之多晶片封裝體，其中該散熱片之材質係包含銅金屬。
8. 如申請專利範圍第1項所述之多晶片封裝體，其中該散熱片之材質係包含鋁金屬。
9. 如申請專利範圍第1項所述之多晶片封裝體，其中該散熱片係為一平面板。
10. 如申請專利範圍第1項所述之多晶片封裝體，其中該攔壩係為一膠體。
11. 如申請專利範圍第1項所述之多晶片封裝體，其中該攔壩係為一環狀。
12. 如申請專利範圍第1項所述之多晶片封裝體，其中該攔壩係環繞該第一晶片之週邊設置。
13. 如申請專利範圍第1項所述之多晶片封裝體，其中該載板之該下表面更具有一鉑球。



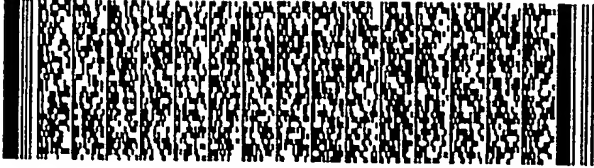


A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular black shapes and lines scattered across a white background, creating a noisy, textured appearance. The overall effect is reminiscent of a high-contrast, grainy image or a complex digital noise pattern.

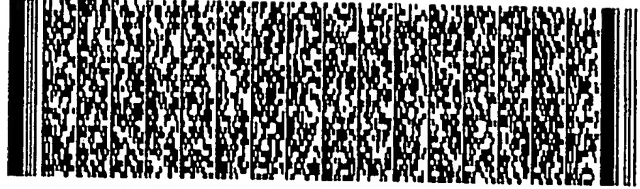


100

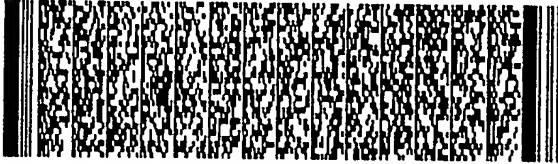
第 11/13 頁



第 12/13 頁



第 13/13 頁



圖式

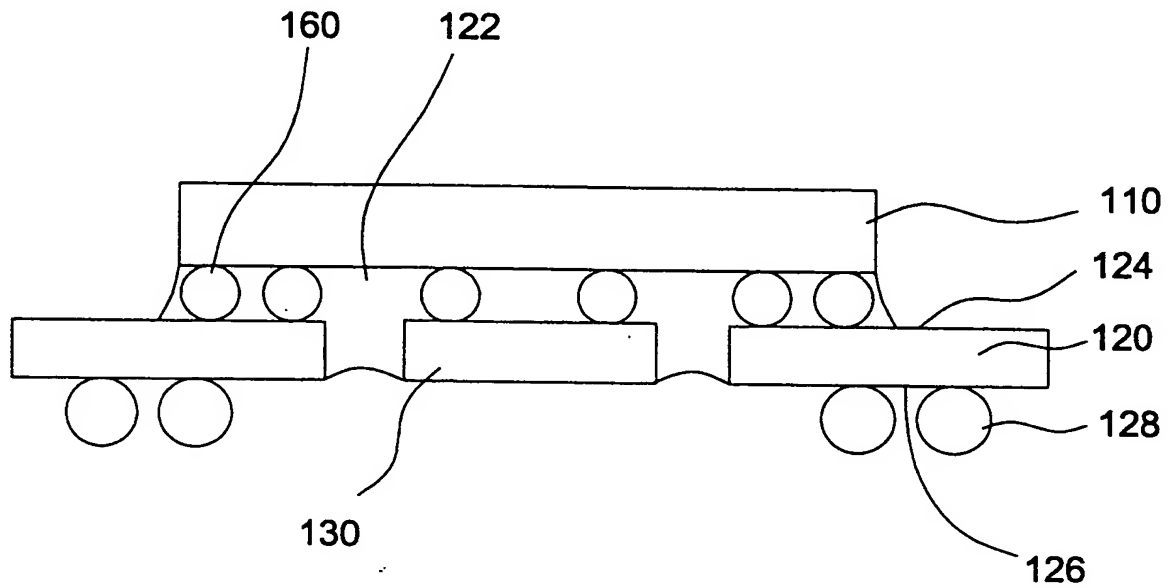


圖1

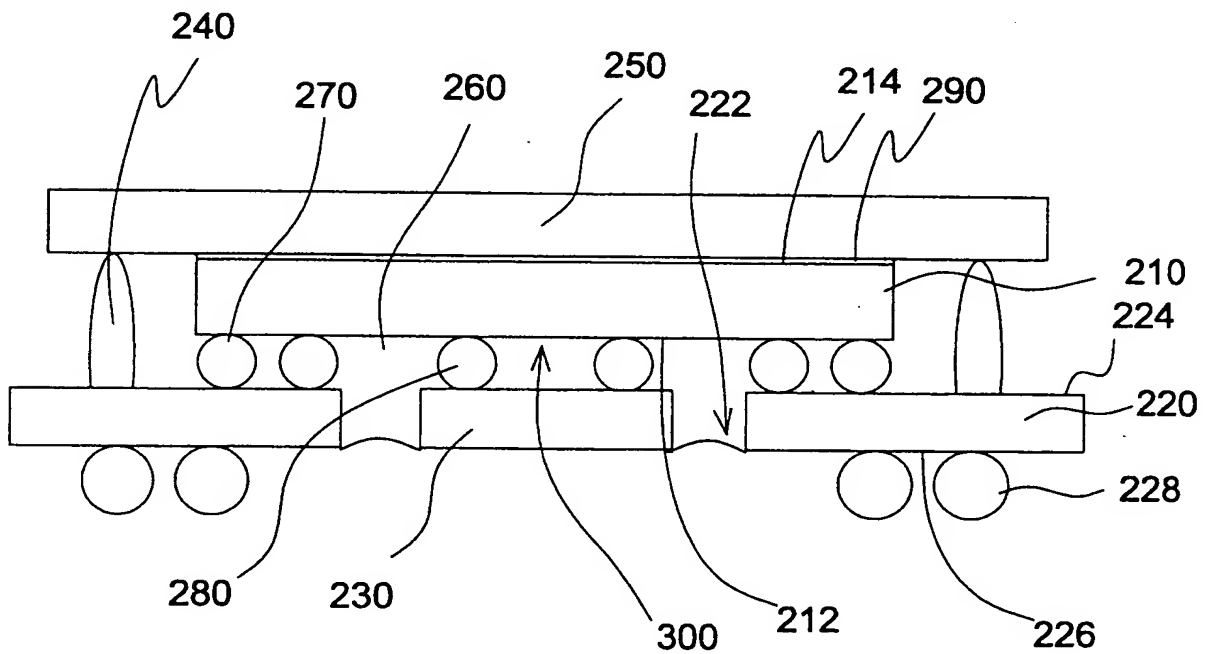


圖2